

長庚大學電子系與南亞科技公司及 華亞科技公司（現為美光公司） 產學合作成果

長庚大學

摘要

積體電路藉由微縮半導體元件尺寸提高效能並降低成本，如何優化元件及製程，是開發動態隨機存取記憶體（DRAM）面臨的難題，本文分享長庚大學電子系張睿達老師長期與台塑企業合作，建構製程元件輔助設計系統的經驗。首先與南亞科技公司合作，以二維模擬系統實際描述週邊電路元件的操作特性，其次建構準三維（quasi-three-dimensional）模擬系統，協助設計寬度與長度須同步微縮的記憶元件，並利用模擬系統分析晶片製造的變異性。近年來則與華亞科技

公司執行產學合作計畫，實現完全三維的製程與元件模擬。利用完全三維的模擬系統，能夠確切找到DRAM記憶元件中造成漏電流的機制與產生位置，對設計與製造下世代記憶體有相當大的助益。

一、前言

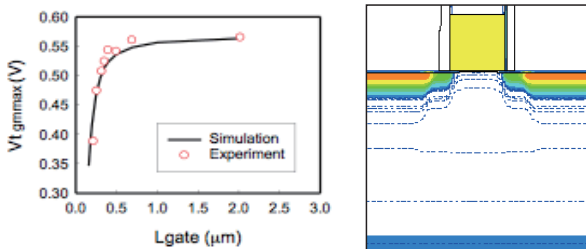
微電子技術能夠突飛猛進，在於縮小半導體元件尺寸並提高效率，具體的實現就是摩爾定律（Moore's law），不僅微縮電腦成為個人的裝置，更造就了行動裝置所衍生的網路生態系統。微縮半導體元件必須克服場效電晶體（field effect

(transistor) 的短通道效應 (short channel effects) , 因為控制電流的電位障礙隨著距離的縮減而降低, 使漏電流 (leakage current) 大幅升高, 積體電路因所衍生的高溫失效, 電位障礙若太高, 則驅動電路的電流不足, 運算的速度不夠快速, 則影響積體電路的效能。半導體元件的結構及內部摻雜 (dopant) 分布決定導通電位障礙的高低, 摻雜是加入半導體產生電荷的特殊元素, 摻雜與結構在積體電路製程中不斷擴散改變, 精準度需要控制到奈米等級。製作積體電路包含數百道步驟, 必須優化製程條件才能獲得最好的元件特性, 如果完全倚靠實驗驗證, 將耗費大量的時間與成本。為了解決上述問題, 半導體技術電腦輔助設計 (technology computer aided design, TCAD) 平台被開發出來, TCAD 包括製程模擬及元件模擬。製程模擬以眾多虛擬的節點 (grid) 代表半導體材料, 模擬軟體讀取製程條件後, 藉由製程模型公式及數值方法 (numerical method) 更新節點及其座標位置的物理參數, 以描述製程中半導體材料的變化。當製程步驟依序完成, 最終的節點分布代表元件結構, 改變元件端點的電壓並透過元件模型公式計算出各節點的電子、電洞 (hole) 濃度及電位, 再推算出電流及電場, 便是元件模擬。結合製程模擬及元件模擬可實現虛擬晶圓廠

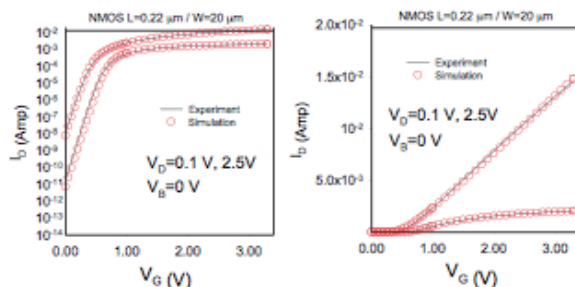
(virtual wafer fab) 的概念, 不同單位的工程師可透過模擬了解製程元件中的物理反應, 藉以找到影響良率的根本原因 (root cause), 對年產值五百億的記憶體廠而言, 提高百分之一良率便多五億的獲利空間, 而模擬的成本微不足道。台塑關係企業南亞科技與華亞科技主要的產品為動態隨機存取記憶體 (dynamic random access memory, DRAM), DRAM 為智慧裝置的主要記憶體, 具高密度及無限存取次數的優點, 但記憶內容取決於電容中的電荷, 記憶單元漏電流必須遠低於一般晶圓代工廠商所製造的邏輯積體電路。因此 DRAM 的進入門檻極高, 金融海嘯後國內僅台塑集團仍能持續導入先進 DRAM 技術, DRAM 為極少數海峽對岸無競爭對手的積體電路產業, 也因此需要建立自己的研發設計平台。電子系自一九九八年開始替關係企業建構 DRAM 之 TCAD 系統, 以下將分階段介紹研發成果。

二、基礎階段：0.2、0.18 微米技術

利用數值方法進行模擬早為工程界所採行, 但各領域所依循的物理參數與方程式不同, 半導體的變數呈指數變化且為聯立非線性方程式, 公式隨元件微縮翻新, 模擬軟體廠商通常僅負責建立計算的方法, 物理參數被各半導體公司視為研



圖一 二維模擬 0.18 微米製程內部摻雜分布及短通道效應。



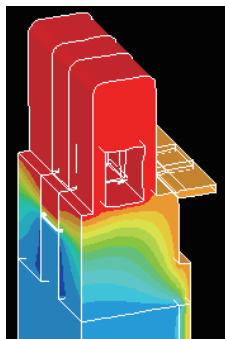
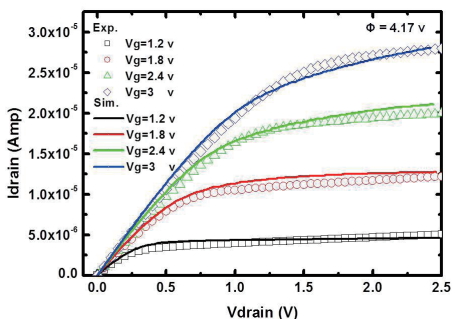
圖二 模擬 0.2 微米技術各項元件操作特性。

究機密。電子系與南亞科技公司共同合作建置 TCAD 系統，在基礎階段必須確認整體架構的可行性，首先以微縮 0.18 微米技術與 0.2 微米技術為標的，受限於當時 TCAD 系統僅二維模擬較成熟的，模擬主要針對週邊電路元件，因週邊元件的寬度大於通道寬度，適合以二維模擬近似。圖一及圖二顯示所藉由校正的參數可以模擬實際元件各項操作特性，這代表建置的 TCAD 系統能用於元件設計。此項產學合作計畫所獲得的經驗是必須先驗證節點的配置，才能要求模擬結果的準確性。模擬軟體廠商雖然提供範例，其架構離實際應用仍有相當距離，因為半導體電子與電洞的濃度於表面劇烈變化，不當的架構造成模擬結果隨節點不同配置而改變，節點的數量過多則模擬時間太長，不足以應付工程師設計元件所需的時效，因此建置 TCAD 系統必先優化節點配置，卻常遭到忽略。參與產學合作計畫的學生畢業後加入南亞科技公司，將開發的模擬技術能落實於相關元件開發。

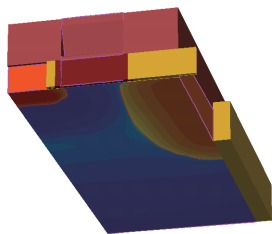
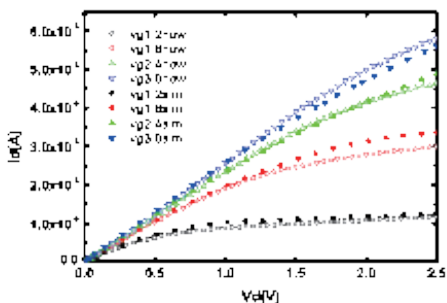
三、發展階段：110、70 奈米技術

DRAM 中的場效電晶體可概分為週邊電路元件及記憶單元 (core) 元件。前者要求速度，具備較大的寬度，類似一般晶圓代工廠的邏輯元件，

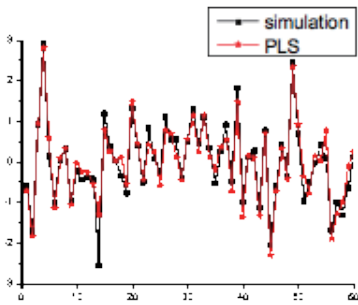
後者要求密度，寬度與長度須同步微縮，是DRAM特有的元件。記憶元件因尺寸最小且需較低的漏電流，是發展DRAM的瓶頸，也因此成為TCRAD系統進階開發的目標。但軟體能提供的製程模擬仍為二維，需轉換結構與三維元件模擬整合，以準三維（quasi-three-dimensional）的方式呈現長寬同步微縮的記憶元件。準三維TCRAD模擬首先針對南亞科技公司110奈米技術，因更新製程模型，面臨相當大的困難。對半導體模型而言，公式僅是既有觀察結果歸納的結果，但隨元件微縮會觀察到更微觀的效應，模型便必須更新。圖三顯示準三維模擬記憶元件的結果，經實際量測結果驗證，領先國內業界。更新模型雖然辛苦，卻可省去後續不斷修正的困擾，接下來模擬70奈米技術便沿用製程模型，將開發重心



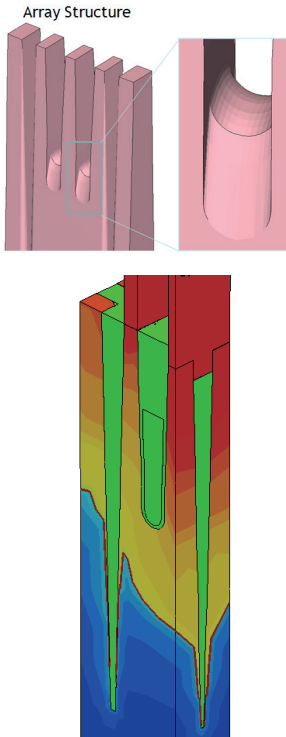
圖三 準三維模擬 110 奈米技術記憶元件之電位分布及電流電壓關係。



圖四 準三維模擬 70 奈米記憶元件之俯視圖及電流電壓關係。



圖五 利用TCAD模擬建構偏最小平方方法以分析晶片製造的變異性。



圖六 完全三維模擬 20 奈米記憶元件結構。

放在隔離 (isolation) 結構部分。圖四顯示模擬 70 奈米記憶元件的結果，針對不同長度與寬度的元件，模擬與實驗結果吻合，這證明了準三維 TCAD 模擬 DRAM 記憶元件的可行性。除了深耕 TCAD 技術，亦擴大 TCAD 的應用範圍，

傳統上 TCAD 用於設計開發新元件製程，但在化材系王國彬教授的協助下，TCAD 模擬結果可用來建構偏最小平方 (partial least squares, PLS) 以分析晶片製造過程的變異性 (variation)，如圖五所示。

術 四、精進階段：20 奈米技

TCAD 製程模擬長久以來受限於邊界移動 (moving boundary) 的問題，當元件結構隨製程改變時，邊界及節點必須跟隨改變，若節點分配不當，

程式便產生錯誤 (bug)，一直無法從二維模擬進展至三維模擬。近年來製程模擬軟體持續改進，製程上絕緣層成長厚度減少，三維製程模擬的障礙降低，同時DRAM記憶元件的結構大幅改變以微縮面積，複雜的結構需要更精準的三維模擬，完全三維製程模擬於是成為電子系與華亞科技TCAD產學合作的技術目標。產學合作起始於40奈米技術應用，先以二維模擬定性分析，導入20奈米技術再進行製程實驗校正，開發完全三維製程模擬。先進的DRAM記憶元件通常藉由內凹 (recess) 結構節省面積並降低短通道效應，但在通道的表面造成馬鞍 (saddle) 形狀，以提升導通電流，這種複雜的結構，如依照模擬軟體的既有模型會發生錯誤，但因參與合作計畫的學生跳脫既有框架，提出與眾不同的處理方式，得以繞過錯誤進行完全三維製程模擬。圖六顯示完全三維模擬20奈米記憶元件的結果，由於半導體電子電洞濃度隨表面深度劇烈變化，由模擬可以清楚掌握內部電流及電場的分布，確切找到造成漏電流的機制與產生位置，對設計新的製程與元件有相當大的幫助。

五、結論

半導體產業是台灣具有國際競爭力的產業之一，因具備高技術門檻，吸納了大量碩博士人才，但也面臨到海峽對岸競爭及摩爾定律減緩的衝擊。美國由於產業界與學術界的高度合作，擊退了日本半導體業者的競爭，而從DRAM的學術論文中亦可觀察到韓國廠商整合學術界進行基礎及先導的研究。國內台塑集團是DRAM產業最大的支持力量，長庚大學電子系自成立之初即與台塑集團DRAM相關企業進行產學合作，持續的TCAD研發不僅提供產業界開發新製程新元件的工具，在學術上則更為了解DRAM元件內部的物理效應，學生因產業實務訓練在職場上受到肯定，是共創三贏的合作組合。未來半導體產業往多樣化及應用導向的方向進行，勢必利用設計工具迅速優化產品，相關技術如能藉由產學合作及早發展，將成為企業競爭力之所在。